

Searching PAJ

1/2 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-022516

(43)Date of publication of application : 24.01.1995

(51)Int.CI. H01L 21/8234
 H01L 27/088
 H01L 21/82
 H01L 21/8242
 H01L 27/108

(21)Application number : 05-190891

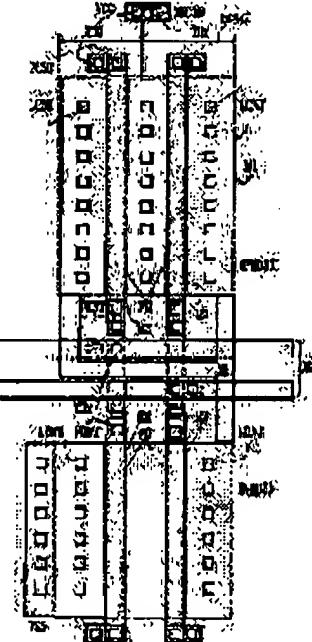
(71)Applicant : HITACHI LTD
 TEXAS INSTR JAPAN LTD

(22)Date of filing : 02.07.1993

(72)Inventor : KAWAMURA MASAYASU
 IWAHI HIDETOSHI
 KOMATSUZAKI KATSUO**(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE****(57)Abstract:**

PURPOSE: To increase the speed without enlarging the area of layout by forming metal wiring for input signals through insulation film on a gate electrode.

CONSTITUTION: Connections to the source and drain of a MOSFET are made by the wiring layer M1 of a first layer, and wiring for input signal is formed on a gate electrode by using a wiring layer M2 of a second layer. By doing this, respective wiring layers M1 and M2 can be formed in response to the sizes of the source, drain region and gate electrode, thereby reducing effective resistance values. And the input signal supplied to the gate electrode of the MOSFET is input from both the end sides through the wiring layer M2 of the second layer having a small resistance value formed on said electrode, so that the resistance value of equivalent gate electrode can be greatly reduced, by which the switching characteristics can be improved. Also, a wiring layer M3 for input can be formed on the gate electrode so that the cell size in lateral direction can be reduced and the area of layout can be decreased.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision f
rejection][Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

Searching PAJ

2/2 ページ

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J.P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-22516

(49)公開日 平成7年(1995)1月24日

(51) Int.Cl.
H 01 L 21/8234
27/088
21/82

識別記号

序内整理番号

F I

技術表示箇所

8934-4M H 01 L 27/08 102 D
8122-4M 21/82 W

審査請求 未請求 請求項の数3 FD (全6頁) 最終頁に続く

(21)出願番号

特願平5-190891

(22)出願日

平成5年(1993)7月2日

(71)出願人

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人

390020248
日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者

川村 昌靖
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人

弁理士 德若 光政

最終頁に続く

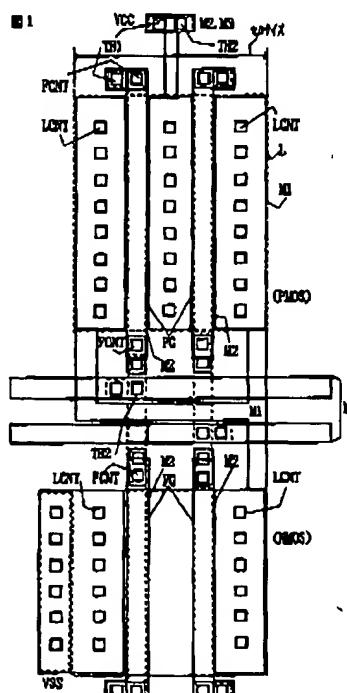
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 高速動作化と高集積化とを実現した半導体集積回路装置を提供する。

【構成】 チャンネル長が短くされ、又はチャンネル幅が長くされてなるようなMOSFETのゲート電極に沿ってその上部に絶縁膜を介して金属配線層を形成して、上記ゲート電極の少なくとも両端側から入力信号を供給する。

【効果】 ゲート電極上に入力信号用の金属配線が形成されるから、レイアウト面積を増大させることなく高速化が可能になる。



(2)

【特許請求の範囲】

【請求項1】 チャンネル長が短くされ、又はチャンネル幅が長くされてなるMOSFETを備え、かかるMOSFETのゲート電極に沿ってその上部に絶縁膜を介して金属配線層を形成して、上記ゲート電極の少なくとも両端側から入力信号を供給することを特徴とする半導体集積回路装置。

【請求項2】 上記半導体集積回路装置は、3層の金属配線層を持ち、第1層目の配線層によりMOSFETの出力ノードに対応した配線を構成し、第2層目の配線層により上記ゲート電極に沿って形成されて入力信号を供給する配線を供給し、第3層目の配線層により比較的長い入力又は出力用の信号配線を構成するものであることを特徴とする請求項1の半導体集積回路装置。

【請求項3】 上記ゲート電極と第2層目の配線層とは、ゲート電極の少なくとも一方の端部においてMOSFETのチャンネル長さ方向に折り曲げられて、そこにコンクタクト部を設けて上記第1層目の配線層を介在させて接続させるものであることを特徴とする請求項2の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置に関し、特にMOSFET（絶縁ゲート型電界効果トランジスタ）により構成されたものに利用して有効な技術に関するものである。

【0002】

【従来の技術】 MOSFETにおいては、チャンネル長（L）が短くなるほど、あるいはチャンネル幅（W）が大きくなるほどゲート電極における抵抗値の影響が無視できなくなり、スイッチ特性が悪くなる。このため、図5に示すように、MOSFETのゲート電極の両端側から入力信号INを供給して、上記ゲート抵抗値の影響を低減することが行われている。

【0003】

【発明が解決しようとする課題】 2層構造の金属配線を用いて上記のようにMOSFETのゲート電極の両端側から入力信号を供給する回路では、MOSFETから出力信号を取り出す信号線や、電源電圧を供給する配線等との交差を避けるために、図5の点線で示すようにソース、ドレイン拡散層を迂回するというような配線の引き回すことが必要になってレイアウト面積が増大してしまうという問題が生じる。

【0004】 この発明の目的は、高速動作化と高集積化とを実現した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される

発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、チャンネル長が短くされ、又はチャンネル幅が長くされてなるようなMOSFETのゲート電極に沿ってその上部に絶縁膜を介して金属配線層を形成して、上記ゲート電極の少なくとも両端側から入力信号を供給する。

【0006】

【作用】 上記した手段によれば、ゲート電極上に入力信号用の金属配線が形成されるから、レイアウト面積を増大させることなく高速化が可能になる。

【0007】

【実施例】 図1には、この発明に係る半導体集積回路装置に搭載される論理ゲート回路の一実施例のレイアウト図が示されている。同図には、CMOS（相補型MOS）構成の NANDゲート回路が代表として例示的に示されている。同図の回路は、公知の半導体集積回路の製造技術により、単結晶シリコンのような半導体基板において形成される。

【0008】 この実施例では、M1～M3からなる3層構造の金属配線層によって回路が構成される。特に制限されないが、第1層目の金属配線層M1はタンクステンを主成分として形成され、第2層目及び第3層目の金属配線層M2, M3はアルミニウムを主成分として形成される。

【0009】 同図において、中央部に横方向に延長される第3層目の配線層M3からなる2本の入力信号線を挟んで上側半分には2つのPチャンネル型MOSFET（PMOS）が並列形態にされている。すなわち、中央に設けられた拡散層Sを共通のソース領域とし、その両側にそれぞれポリシリコン層FGからなるゲート電極を挟んでドレイン領域としての拡散層Sが形成される。上記ソース領域には、第1層目の配線層M1により電源電圧VCCの供給が行われる。上記ソース領域に接続された配線層M1の他端側には、第1スルーホールTH1を介して第2層目の配線層M2に接続され、第2のスルーホールTH2を介して第3層目の配線層M3に接続される。同図では省略されているが、この第3層目の配線層M3が電源電圧VCCの供給線として延長される。上記2つのMOSFETのドレインは、コンタクトLCNTを介して第1層目の配線層M1により相互に接続される。

【0010】 上記2つのPチャンネル型MOSFETに対応して設けられる2つのポリシリコン層FGからなるゲート電極上には、それに沿って絶縁膜を介して第2層目の配線層M2が形成される。上記ゲート電極を構成するFGは、コンタクトFCNTにより第1層目の配線層M1と接続され、この配線層M1を介在させ第1のスルーホールTH1により第2層目の配線層M2と接続される。

【0011】 上記中央部に横方向に延長される第3層目

(3)

3

の配線層M3からなる2本の入力信号線を挟んで下側半分には2つのNチャネル型MOSFET(NMOS)が直列形態に接続される。すなわち、中央に設けられた拡散層を共通のソース、ドレイン領域とし、その両側にそれぞれポリシリコン層FGからなるゲート電極を挟んでドレインとソースが形成される。直列形態にされた2つのNチャネル型MOSFETのうち、左側に配置されるMOSFETのソース領域は、コンタクトLCNTを介して第1層目の配線層M1に接続され、他端側は回路の接地電位VSSに接続される。右側に配置されるMOSFETのドレイン領域は、第1層目の配線層M1によりコンタクトLCNTを介して前記Pチャネル型MOSFETのドレインと接続される。これらの出力ノードは、図示しない次段回路の入力に伝えられる。

【0012】次段回路に対して、上記の同様に第3層目の配線層M3を用いて伝達するときには、第2層目の配線層M2を介在させて上記第3層目の配線層M3に接続される。特に制限されないが、次段回路が上記MOSFETに極近く配置される場合には、そのまま第1層目の配線層M1により次段MOSFETのゲート付近まで延びて、第2層目の配線層M2によりゲート電極の両端側から信号供給を行うようにしてもよい。

【0013】この実施例では、上記第1層目の配線層M1によりMOSFETのソース、ドレインとの接続を行い、第2層目の配線層M2を用いてゲート電極上に入力信号用の配線を形成するものである。この構成では、第1と第2の配線層M1とM2との間でマクスウェル余裕を探る必要がなく、同図のようにソース、ドレイン領域及びゲート電極の大きさに対応させて各配線層M1、M2を形成することができ、その実効的な抵抗値を小さくすることができる。

【0014】そして、MOSFETのゲート電極に供給される入力信号は、その上に形成された抵抗値の小さな第2層目の配線層M2を介して両端側から入力されるので、等価的なゲート電極の抵抗値を大幅に低減でき、スイッチング特性の改善を図ることができるとともに、ゲート電極上に入力用の配線層M3が形成できるから横方向のセルサイズを小さくできることによりレイアウト面積を低減することができる。

【0015】図2には、この発明に係る半導体集積回路装置に搭載される論理ゲート回路の他の一実施例のレイアウト図が示されている。この実施例では、前記図1のような NANDゲート回路を構成するときに、縦方向のセルサイズを小さくするために、1層目ポリシリコン層FGからなるゲート電極と2層目の金属配線層との接続を行うコンタクト部がチャンネル長方向に折り曲げられて構成される。このようにすることにより、図1では中央部において縦方向に並べて配置されるコンタクトホールFGとスルーホールTH1とが、Pチャネル型MOSFETの上側とNチャネル型MOSFETの下側と

4

同様に横方向に並べられる。このため、縦方向のセルサイズを小さくすることができる。他の構成は、図1と同様であるので、その説明を省略する。

【0016】図3には、この発明に係る半導体集積回路装置の一実施例の素子構造断面図が示されている。この実施例では、上記のような論理ゲート回路が搭載されるダイナミック型RAMにおけるアレイ部と間接周辺部の素子構造が代表として例示的に示されている。

【0017】メモリセルの記憶キャバシタは、2層目のポリシリコン層SGをストレージノードとして用い、アドレス選択用MOSFETの一方のソース、ドレインと接続される。上記2層目ポリシリコン層はフィン構造とされ、薄いゲート絶縁膜を介して3層目ポリシリコン層TGからなるプレート電極とにより構成される。アドレス選択用MOSFETのゲートは、1層目ポリシリコン層FGから構成される。アドレス選択用MOSFETの他方のソース、ドレインは、上記FG、SG及びTGを介在させて、1層目の配線層M1に接続される。この配線層M1によりピット線（又はデータ線あるいはデジット線）が構成される。

【0018】間接周辺部には、2つのNチャネル型MOSFETが形成されている。1層目の配線層M1は、コンタクトLCNTによりMOSFETのソース、ドレインに接続される。あるいは、1層目ポリシリコンFGとはコンタクトFCNTにより接続される。上記1層目の配線層M1と2層目の配線層M2とは、第1スルーホールTH1を介して接続され、第2層目の配線層M2と第3層目の配線層M3とは第2スルーホールTH2を介して接続される。

【0019】上記のようにMOSFETのゲート電極の両端に第2層目の配線層M2により入力信号を供給する場合、上記のように第1スルーホールTH1を介してダミーとしての第1層目の配線層M1に落とし、この第1層目の配線層M1とコンタクトLCNTを介してゲート電極としての1層目ポリシリコンFGに接続される。

【0020】入力信号を供給する第3層目の配線層M3は、第2スルーホールTH2を介して第2層目の配線層M2に接続される。例えば、出力信号を次段の回路に供給するとき、第1層目の配線層M1は、第1スルーホールTH1を介してダミーとしての第2層目の配線層M2に接続され、この配線層M2を介在させて第2スルーホールTH2を介して第3層目の配線層M3に導かれる。

【0021】図4には、この発明を説明するためのMOSFETの動作特性図が示されている。同図においては、MOSFETのゲート電極に対して一端側(One end)から入力信号を供給した場合、両端(Both end)から入力信号を供給した場合のゲート幅と遅延時間が示されている。同図は、コンピュータシュミレーションによりモデル化した回路により求められたものであり、同図から明らかのように、MOSFETの両端側の入力信号を

(4)

5

供給することにより、スイッチ特性を大幅に改善することが理解できる。

【0022】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) チャンネル長が短くされ、又はチャンネル幅が長くされてなるようなMOSFETのゲート電極に沿ってその上部に絶縁膜を介して金属配線層を形成して、上記ゲート電極の少なくとも両端側から入力信号を供給することにより、レイアウト面積を増大させることなく高速化が可能になるという効果が得られる。

【0023】(2) 上記MOSFETのゲート電極に沿って形成される金属配線層を第2層目のもの用い、MOSFETのソース、ドレンと接続される配線層を第1層目の配線層を用いることにより、両者間においてマスク合わせ余裕を持たせる必要がなく、ゲート電極上に形成される金属配線層の実効的な抵抗値を小さくすることができるという効果が得られる。

【0024】(3) 上記ゲート電極と第2層目の配線層とは、ゲート電極の少なくとも一方の端部においてMOSFETのチャンネル長さ方向に折り曲げられて、そこに1層目の配線層を介在させたコンクタクト部を設けることにより、チャンネル幅方向のセルサイズを小さくできるという効果が得られる。

【0025】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、チャンネル長が短くされ、又はチャンネル幅が長くされてなるようなMOSFETは、前記実施例のようなナンドゲート回路を構成するもの他、インバータ回路やノアゲート回路を構成するもの等であって、高速スイッチ動作が要求されるものに利用できる。配線層は、2層目M2と3層目M3とを入れ換えてそれぞれ構成するものあって

(4)

6

もよい。この発明は、MOSFETを用いて構成される半導体集積回路装置に広く利用できる。

【0026】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、チャンネル長が短くされ、又はチャンネル幅が長くされてなるようなMOSFETのゲート電極に沿ってその上部に絶縁膜を介して金属配線層を形成して、上記ゲート電極の少なくとも両端側から入力信号を供給することにより、レイアウト面積を増大させることなく高速化が可能になる。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置に搭載される論理ゲート回路の一実施例を示すレイアウト図である。

【図2】この発明に係る半導体集積回路装置に搭載される論理ゲート回路の他の一実施例を示すレイアウト図である。

【図3】この発明に係る半導体集積回路装置の一実施例を示す素子構造断面図である。

【図4】この発明を説明するためのMOSFETの動作特性図である。

【図5】従来技術の一例を説明するための概略レイアウト図である。

【符号の説明】

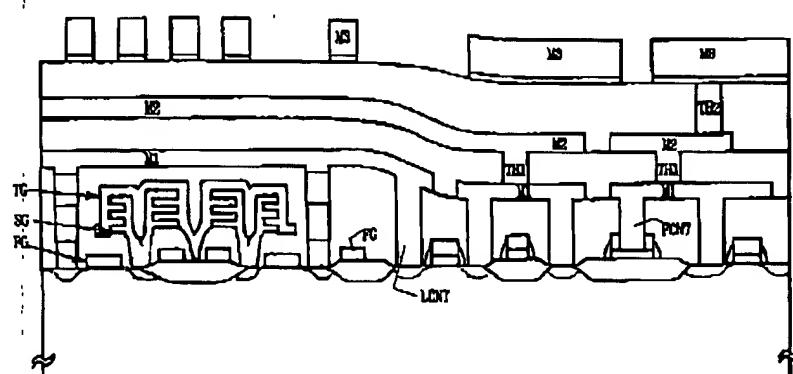
M1…第1層目の配線層、M2…第2層目の配線層、M3…第3層目の配線層、TH1, TH2…スルーホール、LCNT, FCNT…コンタクト、PMOS…Pチャンネル型MOSFET、NMOS…Nチャンネル型MOSFET、FG…1層目ポリシリコン（ゲート電極）、SG…2層目ポリシリコン（ストレージノード）、TG…3層目ポリシリコン（プレート）、W…チャンネル幅。

【図3】

アレイ部

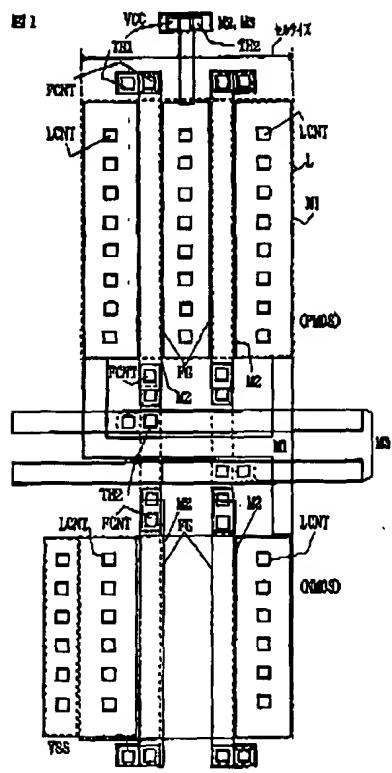
間接周辺部

図3

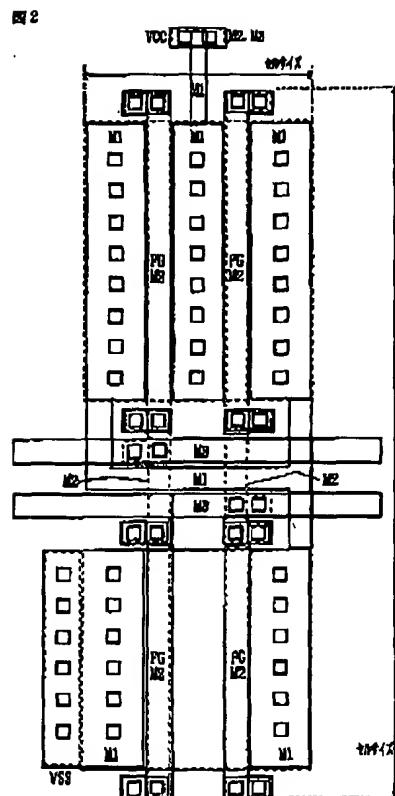


(5)

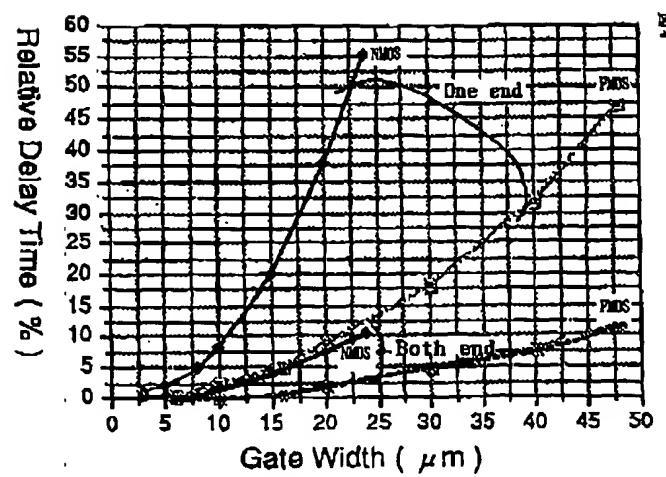
【図1】



【図2】

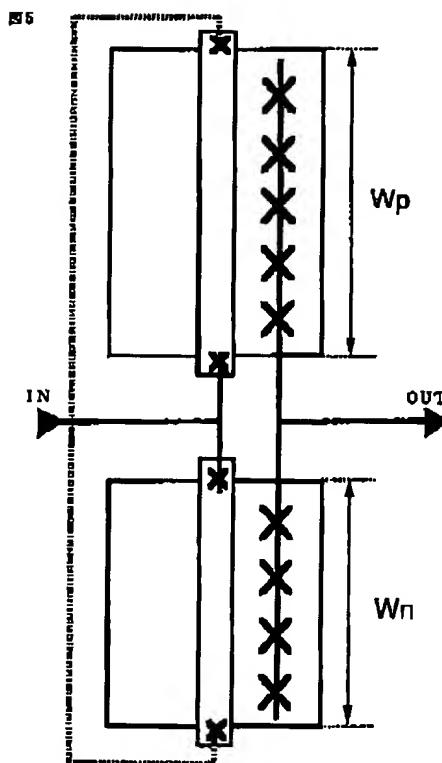


【図4】



(6)

【図5】



フロントページの続き

(51) Int. Cl. 6
H 01 L 21/8242
27/108

識別記号

府内整理番号

F I

技術表示箇所

7210-4M

H 01 L 27/10

3 2 6 P

(72) 発明者 岩井 秀俊
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 小松崎 勝雄
茨城県稟敷郡美浦村木原2350 日本テキサ
ス・インスツルメンツ株式会社内